

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

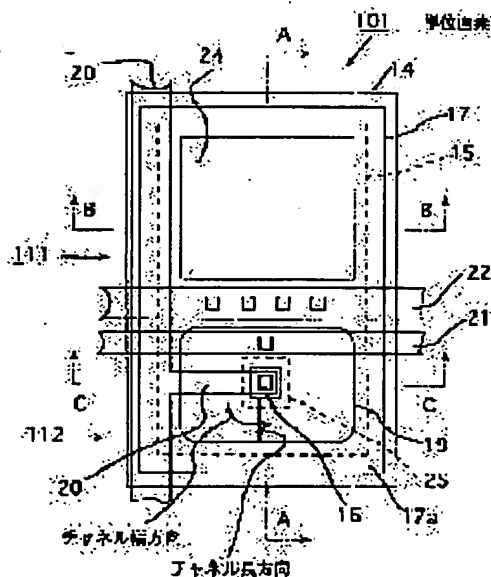
(43)Date of publication of application : 21.07.1999

H04N 5/335

(72)Inventor : MITSUIDA TAKASHI

Priority number : 09334728 Priority date : 30.10.1997 Priority country : JP

SOLUTION: Positive holes generated in a well region 15 by light illumination are guided to and embedded into a high-concentration buried layer 25, which has an impurity concentration higher than that of the well region 15, and which is embedded in the vicinity of a source diffused region 16 of an insulated gate type field effect transistor formed within the well region 15. The threshold of the transistor is changed by changing the quantity of the stored holes to detect a change in the threshold as the quantity of received light.



1/22/2004

[Date of request for examination] 01.07.1998
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2935492
[Date of registration] 04.06.1999
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195778

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

P

審査請求 有 請求項の数14 O L (全 16 頁)

(21) 出願番号 特願平10-186453

(22) 出願日 平成10年(1998) 7月1日

(31) 優先権主張番号 特願平9-334728

(32) 優先日 平9 (1997) 10月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 398035800

イノベーション株式会社

神奈川県横浜市港北区新横浜 2-15-10

(72) 発明者 三井田 ▲高▼

横浜市港北区新横浜 2-15-10 イノビジ
ョン株式会社内

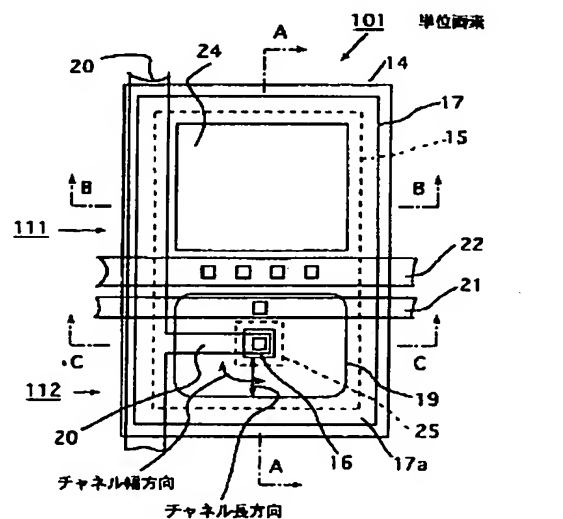
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 固体撮像素子及び固体撮像素子による光信号検出方法

(57) 【要約】

【課題】 本発明は固体撮像素子による光検出方法に関し、光発生電荷の表面捕獲或いは散乱に起因する雑音を低減し、分光感度特性や変換効率の向上を図るとともに、直線性に優れた光電変換特性を得る。

【解決手段】 光照射によってウェル領域15内に発生した光発生正孔をウェル領域15内に形成した絶縁ゲート型電界効果トランジスタのソース拡散領域16の近辺に埋め込まれた、ウェル領域15よりも高い不純物濃度を有する高濃度埋込層25に導いて蓄積させ、蓄積した光発生正孔の量により絶縁ゲート型電界効果トランジスタの閾値を変化させ、閾値の変化量を受光量として検出する。



- | | |
|---------------|-----------------------|
| 14: フィールド絶縁膜 | 20: 垂直出力線 |
| 15: ウェル領域 | 21: VSCAN供給線 |
| 16: ソース拡散領域 | 22: VDD供給線 |
| 17: 不純物拡散領域 | 24: 受光窓 |
| 17a: ドレイン拡散領域 | 25: キャリアポケット (高濃度埋込層) |
| 19: ゲート電極 | 111: 受光ダイオード |
| | 112: 光信号検出用MOSトランジスタ |

(2)

【特許請求の範囲】

【請求項1】 受光ダイオードと光信号検出用の絶縁ゲート型電界効果トランジスタとを備えた単位画素が複数配列された固体撮像素子において、

前記受光ダイオードは、一導電型の半導体基板上の反対導電型の半導体層に形成された一導電型のウェル領域と、前記ウェル領域の表層に形成された反対導電型の不純物拡散領域とを有し、

前記絶縁ゲート型電界効果トランジスタは、前記ウェル領域の表層に前記不純物拡散領域と一体的に形成された反対導電型のドレイン拡散領域と、前記ウェル領域の表層に前記ドレイン拡散領域と間隔を置いて形成された反対導電型のソース拡散領域と、前記ドレイン拡散領域と前記ソース拡散領域との間のウェル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極下のウェル領域の表層の電流担体が移動する、反対導電型の不純物層を有するチャンネル領域と、前記チャンネル領域の下のウェル領域内のソース拡散領域の近辺に前記ウェル領域よりも高い不純物濃度を有する一導電型の高濃度埋込層とを有することを特徴とする固体撮像素子。

【請求項2】 前記高濃度埋込層はチャンネル幅方向全域にわたって形成されていることを特徴とする請求項1に記載の固体撮像素子。

【請求項3】 前記ソース拡散領域の近辺は、前記ドレイン拡散領域から前記ソース拡散領域に至るチャンネル長方向の一部領域であつて、前記ソース拡散領域側であることを特徴とする請求項1又は2に記載の固体撮像素子。

【請求項4】 前記ゲート電極はリング状を有し、前記ソース拡散領域は前記ゲート電極の中央部の前記ウェル領域の表層に形成されており、前記ドレイン拡散領域は前記ゲート電極を囲むように前記ウェル領域の表層に形成されており、前記高濃度埋込層は前記ソース拡散領域を囲むように前記ウェル領域内に形成されていることを特徴とする請求項1乃至3のいずれかに記載の固体撮像素子。

【請求項5】 前記絶縁ゲート型電界効果トランジスタのゲート電極及びその周辺は遮光されていることを特徴とする請求項1乃至4のいずれかに記載の固体撮像素子。

【請求項6】 前記絶縁ゲート型電界効果トランジスタのソース拡散領域に負荷回路が接続されてソースフォロワ回路を構成していることを特徴とする請求項1乃至5のいずれかに記載の固体撮像素子。

【請求項7】 前記ソースフォロワ回路のソース出力は映像信号出力に接続されていることを特徴とする請求項6に記載の固体撮像素子。

【請求項8】 前記単位画素は行方向及び列方向に並んでいることを特徴とする請求項1乃至7のいずれかに記載の固体撮像素子。

2

【請求項9】 前記行方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのドレイン拡散領域がともに接続され、前記行毎にドレイン電圧を送るドレイン電圧供給線と、

前記行方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのゲート電極がともに接続され、前記行毎に垂直走査信号を伝える垂直走査信号供給線と、

前記列方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのソース拡散領域がともに接続された、

10 前記列毎に設けられた複数の垂直出力線と、

前記各垂直出力線がそれぞれ接続された光検出信号入力端子と、光検出信号出力端子と、水平走査信号入力端子とを有し、前記列毎に設けられたスイッチと、

前記各スイッチの光検出信号出力端子がともに接続された共通の水平出力線と、

前記複数の垂直出力線のうちの一つを選択する水平走査信号を前記スイッチの水平走査信号入力端子に伝える水平走査信号供給線と、

20 前記ドレイン電圧供給線が接続され、行毎に選択的にドレイン電圧を供給するドレイン電圧駆動走査回路と、

前記垂直走査信号供給線が接続され、行毎に選択的に垂直走査信号を供給する垂直走査信号駆動走査回路と、

前記水平走査信号供給線が接続され、列毎に選択的に水平走査信号を供給する水平走査信号駆動走査回路と、

前記水平出力線に接続され、前記駆動走査回路により選択された一つの前記絶縁ゲート型電界効果トランジスタとの間でソースフォロワを形成する負荷回路と、

30 前記ソースフォロワのソース出力に接続された映像信号出力とを有することを特徴とする請求項8に記載の固体撮像素子。

【請求項10】 前記固体撮像素子は一つの前記半導体基板に形成されていることを特徴とする請求項1乃至9のいずれかに記載の固体撮像素子。

40 【請求項11】 光照射によってp型のウェル領域内に発生した電子及び正孔のうち該光発生正孔を前記ウェル領域内に形成した絶縁ゲート型電界効果トランジスタのn型のソース拡散領域の近辺に埋め込まれた、前記ウェル領域よりも高濃度のp型の高濃度埋込層に導いて蓄積させ、該蓄積した光発生正孔の量により前記絶縁ゲート型電界効果トランジスタの閾値を変化させ、該閾値の変化量を受光量として検出することを特徴とする固体撮像素子による光信号検出方法。

50 【請求項12】 光照射によってn型のウェル領域内に発生した電子及び正孔のうち該光発生電子を前記ウェル領域内に形成した絶縁ゲート型電界効果トランジスタのp型のソース拡散領域の近辺に埋め込まれた、前記ウェル領域よりも高濃度のn型の高濃度埋込層に導いて蓄積させ、該蓄積した光発生電子の量により前記絶縁ゲート型電界効果トランジスタの閾値を変化させ、該閾値の変化量を受光量として検出することを特徴とする固体撮像

3

素子による光信号検出方法。

【請求項13】 請求項1乃至10のいずれかに記載の固体撮像素子による光信号検出方法において、前記半導体基板、前記ウェル領域及び前記高濃度埋込層はp型であり、前記半導体層、前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域はn型であり、前記不純物拡散領域、前記ドレイン拡散領域、前記ゲート電極及び前記ソース拡散領域に動作電圧よりも高い電圧を印加し、前記ウェル領域及び前記高濃度埋込層内の正孔を前記半導体基板に、電子を前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域にそれぞれ排出して空乏化することで画素の初期化を行い、光照射により前記受光ダイオードのウェル領域内に正孔及び電子を生じさせ、前記不純物拡散領域及び前記ドレイン拡散領域に動作電圧を印加し、かつ前記ゲート電極に前記絶縁ゲート型電界効果トランジスタのゲート領域のポテンシャルが前記受光ダイオードのポテンシャルよりも低くなるような電圧を印加し、前記光発生正孔を前記ウェル領域内を移動させて前記高濃度埋込層に前記光発生正孔を蓄積させ、前記ドレイン拡散領域及び前記ゲート電極に動作電圧を印加し、前記光発生正孔が蓄積した前記高濃度埋込層上にチャンネル長方向に低電界の反転領域を形成するとともに、前記高濃度埋込層上を除くチャンネル領域に前記チャンネル長方向に高電界領域を形成し、前記ドレイン拡散領域及び前記ゲート電極に前記絶縁ゲート型電界効果トランジスタが飽和状態で動作するような動作電圧を印加し、前記絶縁ゲート型電界効果トランジスタをソースフォロウに形成して前記光発生正孔が前記高濃度埋込層に蓄積されたことにより前記絶縁ゲート型電界効果トランジスタの閾値電圧の変化を、前記絶縁ゲート型電界効果トランジスタのソース拡散領域の電位変化に変えることで信号を検出することを特徴とする固体撮像素子による光信号検出方法。

【請求項14】 請求項1乃至10のいずれかに記載の固体撮像素子による光信号検出方法において、前記半導体基板、前記ウェル領域及び前記高濃度埋込層はn型であり、前記半導体層、前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域はp型であり、前記不純物拡散領域、前記ドレイン拡散領域、前記ゲート電極及び前記ソース拡散領域に動作電圧よりも負側に大きい電圧を印加し、前記ウェル領域及び高濃度埋込層内の電子を前記半導体層に、正孔を前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域にそれぞれ排出して空乏化することで画素の初期化を行い、光照射により前記受光ダイオードのウェル領域内に正孔及び電子を生じさせ、前記不純物拡散領域及び前記ドレイン拡散領域に動作電

(3)

4

圧を印加し、かつ前記ゲート電極に前記絶縁ゲート型電界効果トランジスタのゲート領域のポテンシャルが前記受光ダイオードのポテンシャルよりも高くなるような電圧を印加し、前記光発生電子を前記ウェル領域内を移動させて前記高濃度埋込層に前記光発生電子を蓄積させ、前記ドレイン拡散領域及び前記ゲート電極に動作電圧を印加し、前記光発生電子が蓄積した前記高濃度埋込層上に低電界の反転領域を形成するとともに、前記高濃度埋込層上を除くチャンネル領域に高電界領域を形成し、前記ドレイン拡散領域及び前記ゲート電極に前記絶縁ゲート型電界効果トランジスタが飽和状態で動作するような動作電圧を印加し、前記絶縁ゲート型電界効果トランジスタをソースフォロウに形成して前記光発生電子が前記高濃度埋込層に蓄積されたことによる前記絶縁ゲート型電界効果トランジスタの閾値電圧の変化を、前記絶縁ゲート型電界効果トランジスタのソース拡散領域の電位変化に変えることで信号を検出することを特徴とする固体撮像素子による光信号検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子及び固体撮像素子による光信号検出方法に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナー、又はファクシミリ等に用いられる閾値電圧変調方式のMOS型固体撮像素子及び固体撮像素子による光信号検出方法に関する。

【0002】

【従来の技術】半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。なかでも、CCD（電荷結合素子）は光感度が高く、ノイズレベルが低いため、ビデオカメラやファクシミリ等代表的な画像装置に多く採用されている。

【0003】しかし、CCD（電荷結合素子）には以下のような問題があり、これらの問題に比べられる技術の開発が望まれている。即ち、

- ①消費電力、動作電圧が高い、
- ②CMOSデバイス等の半導体素子と異なり、複雑な製造技術を必要とするため、生産コストが高い、
- ③製造技術がCMOSデバイス等の半導体素子と異なっているため、CCD内に複雑な周辺回路を作り込みにくい。

【0004】このような状況に加え、近年、固体撮像素子の応用市場が拡大してきており、MOS型固体撮像素子が見直されるようになってきている。また、半導体微細化技術によりサブミクロン以下のデバイスを作成することが可能になってきている。一方、イメージセンサ本体の特性については、MOS型イメージセンサとCCDイメージセンサとの性能差は大きく、特に、MOS型イメージセンサにおいてランダム雑音特性や固定雑音特性

5

の改善が必要とされており、根本的な性能向上が望まれていた。

【0005】これに対して、マイクロレンズ技術の進歩により光電変換部を局所化でき、且つ微細化技術により画素毎に2～3トランジスタからなる増幅回路が集積できるようになり感度の向上を図ることができた。このため、X、Yの2つのうち1つのMOSスイッチ部で発生する熱雑音（kTC雑音）や素子ばらつきによって生じる固定パターン雑音を回路的にある程度低減させることが可能となった。

【0006】このような点から、CMOS技術による微細なトランジスタ増幅回路を受光デバイスの画素内に形成した、いわゆるアクティブCMOSイメージセンサが注目されている。アクティブCMOSイメージセンサは、通常のCMOS技術以外の特殊な製造技術を必要としないため、CMOS周辺回路を受光部分と同一のチップに集積化し易く、安価に製造できる。また、消費電力、及び動作電圧が小さいという特長を有する。

【0007】このため、将来、複雑な信号処理回路を搭載したワンチップカメラの実現にむけて大いに期待されている。アクティブCMOSイメージセンサ素子の改良型として以下の具体例が挙げられる。即ち、CMD（Charge Modulation Device：電荷変調素子）型固体撮像素子は特開昭60-140752号公報、特開昭60-206063号公報、特開平6-120473号公報等に公開されている。この素子は光電変換素子構造にCCD的な特徴を取り入れた素子であり、また、開口率を向上させるためMOSトランジスタのゲート電極をフォトゲート電極構造としている。光励起によって発生した電荷をMOSトランジスタのフォトゲート電極下のゲート酸化膜とSi層の界面に蓄積させて、電流制御を行うものである。電荷の掃出を完全空乏化モードで行うため、トランジスタの熱雑音特性を改善できる。

【0008】また、BCMD（Bulk Charge Modulated Device）型固体撮像素子は特開昭64-14959号公報等に公開されている。図13（a）に示すように、この素子も開口率を向上させるためMOSトランジスタのゲート電極7をフォトゲート電極構造とし、フォトゲート電極7下のN層2上に光発生電荷の蓄積層3を設けている。この場合、フォトゲート電極7直下のチャンネル領域よりも基板1側に光発生電荷の蓄積層3を設けて、光発生電荷がフォトゲート電極7下のN層9と接するゲート酸化膜6の界面にトラップされるのを抑制し、それに起因するノイズを抑制している。なお、図13（a）中、符号2はN層、4はソース拡散領域、5はドレイン拡散領域、8は定電流電源である。

【0009】さらに、閾値電圧変調方式の固体撮像素子は特開平2-304973号公報に公開されている。この素子においては、リングゲート電極構造を有し、リングゲート電極構造の中央部にソース拡散領域が形成さ

(4)

6

れ、リングゲート電極を囲むようにドレイン拡散領域が形成されている。この場合、ドレイン拡散領域が埋込みフォトダイオードの高濃度不純物拡散層を兼ねている。受光部をトランジスタ領域の外に設けたこと、及びチャンネル幅方向の一部のチャンネル幅領域下のウェル領域内にソース拡散領域からドレイン拡散領域にわたって信号電荷に対してポテンシャルの低いところを一か所設けたことを特徴としている。

【0010】この素子では、埋込みフォトダイオードに光を照射して電荷を発生させ、埋込みフォトダイオードへの光発生電荷の蓄積により基板バイアス効果を利用して閾値を制御する。特に、微弱な強度の光照射であって光発生電荷の数が少ない場合に有効であり、信号電荷に対してポテンシャルの低いところに光発生電荷を集めて感度の不均一を抑え、固定パターン雑音の抑制を図っている。

【0011】

【発明が解決しようとする課題】しかしながら、CMD型固体撮像素子では、光電変換に用いる電荷が半導体表面付近に存在するため、表面での電荷捕獲或いは散乱によるランダム雑音成分は除去しきれないという問題がある。BCMD型固体撮像素子では、図13（a）に示すように、電荷蓄積層3がフォトゲート電極7下のチャンネル領域全域に存在するため、トランジスタを十分に飽和させることが難しく、図13（b）に示すように、電流-電圧特性が三極管領域特性となってしまう。このため、ソースフォロワで光発生電荷を電圧に変換する上で十分な直線性が得られないという問題がある。

【0012】また、電荷蓄積層3内でのキャリア分布はフォトゲート電極7下のチャンネル領域全体に散在し、チャンネル領域全体が電流変調に寄与するので、注入電荷量に対するポテンシャル変調の線型性に乏しく、かつ電荷検出容量も比較的大きいため変換効率も劣るという問題がある。さらに、CMD型及びBCMD型固体撮像素子はフォトゲート電極構造ということで共通し、受光部のMOS構造固有の入射光の多重干渉による分光感度特性の劣化の問題がある。

【0013】さらに、フォトゲート電極構造では、製造工程上、透光性を有する薄いポリシリコン膜からなるフォトゲート電極の形成が必要となる等、特殊で複雑な製造プロセスが要求されるという問題もある。一部のチャンネル幅領域下のウェル内に信号電荷に対してポテンシャルの低いところを、一部のチャンネル幅領域下のウェル領域内であってソース拡散領域からドレイン拡散領域にわたって設けているため、電流-電圧特性が三極管領域の特性となり、ソースフォロワで光発生電荷を電圧に変換する上で十分な直線性が得られないという問題がある。

【0014】本発明は、上述の事情に鑑みてなされたも

7

のであり、光発生電荷の表面捕獲或いは散乱に起因する雑音を低減し、分光感度特性や変換効率の向上を図るとともに、直線性に優れた光電変換特性を得ることができ、また、CMOSの製造技術と同じ製造技術を用いて受光部を作成することができる固体撮像素子及び固体撮像素子による光検出方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は固体撮像素子に係り、受光ダイオードと光信号検出用の絶縁ゲート型電界効果トランジスタとを備えた単位画素が複数配列された固体撮像素子において、前記受光ダイオードは、一導電型の半導体基板上の反対導電型の半導体層に形成された一導電型のウェル領域と、前記ウェル領域の表層に形成された反対導電型の不純物拡散領域とを有し、前記絶縁ゲート型電界効果トランジスタは、前記ウェル領域の表層に前記不純物拡散領域と一体的に形成された反対導電型のドレイン拡散領域と、前記ウェル領域の表層に前記ドレイン拡散領域と間隔を置いて形成された反対導電型のソース拡散領域と、前記ドレイン拡散領域と前記ソース拡散領域との間のウェル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極下のウェル領域の表層の電流担体が移動する、反対導電型の不純物層を有するチャネル領域と、前記チャネル領域の下のウェル領域内のソース拡散領域の近辺に前記ウェル領域よりも高い不純物濃度を有する一導電型の高濃度埋込層とを有することを特徴としている。

【0016】請求項2の発明は、請求項1に記載の固体撮像素子に係り、前記高濃度埋込層はチャネル幅方向全域にわたって形成されていることを特徴としている。請求項3の発明は、請求項1又は2に記載の固体撮像素子に係り、前記ソース拡散領域の近辺は、前記ドレイン拡散領域から前記ソース拡散領域に至るチャネル長方向の一部領域であって、前記ソース拡散領域側であることを特徴としている。

【0017】請求項4の発明は、請求項1乃至3のいずれかに記載の固体撮像素子に係り、前記ゲート電極はリング状を有し、前記ソース拡散領域は前記ゲート電極の中央部の前記ウェル領域の表層に形成されており、前記ドレイン拡散領域は前記ゲート電極を囲むように前記ウェル領域の表層に形成されており、前記高濃度埋込層は前記ソース拡散領域を囲むように前記ウェル領域内に形成されていることを特徴としている。

【0018】請求項5の発明は、請求項1乃至4のいずれかに記載の固体撮像素子に係り、前記絶縁ゲート型電界効果トランジスタのゲート電極及びその周辺は遮光されていることを特徴としている。請求項6の発明は、請求項1乃至5のいずれかに記載の固体撮像素子に係り、前記絶縁ゲート型電界効果トランジスタのソース拡散領域に負荷回路が接続されてソースフォロワ回路を構成し

(5)

8

ていることを特徴としている。

【0019】請求項7の発明は、請求項6に記載の固体撮像素子に係り、前記ソースフォロワ回路のソース出力は映像信号出力に接続されていることを特徴としている。請求項8の発明は、請求項1乃至7のいずれかに記載の固体撮像素子に係り、前記単位画素は行方向及び列方向に並んでいることを特徴としている。請求項9の発明は、請求項8に記載の固体撮像素子に係り、前記行方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのドレイン拡散領域がともに接続され、前記行毎にドレイン電圧を送るドレイン電圧供給線と、前記行方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのゲート電極がともに接続され、前記行毎に垂直走査信号を伝える垂直走査信号供給線と、前記列方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのソース拡散領域がともに接続された、前記列毎に設けられた複数の垂直出力線と、前記各垂直出力線がそれぞれ接続された光検出信号入力端子と、光検出信号出力端子と、水平走査信号入力端子とを有し、前記列毎に設けられたスイッチと、前記各スイッチの光検出信号出力端子がともに接続された共通の水平出力線と、前記複数の垂直出力線のうちの一つを選択する水平走査信号を前記スイッチの水平走査信号入力端子に伝える水平走査信号供給線と、前記ドレイン電圧供給線が接続され、行毎に選択的にドレイン電圧を供給するドレイン電圧駆動走査回路と、前記垂直走査信号供給線が接続され、行毎に選択的に垂直走査信号を供給する垂直走査信号駆動走査回路と、前記水平走査信号供給線が接続され、列毎に選択的に水平走査信号を供給する水平走査信号駆動走査回路と、前記水平出力線に接続され、前記駆動走査回路により選択された一つの前記絶縁ゲート型電界効果トランジスタとの間でソースフォロワを形成する負荷回路と、前記ソースフォロワのソース出力に接続された映像信号出力とを有することを特徴としている。

【0020】請求項10の発明は、請求項1乃至9のいずれかに記載の固体撮像素子に係り、前記固体撮像素子は一つの前記半導体基板上に形成されていることを特徴としている。請求項11の発明は、固体撮像素子による光信号検出方法に係り、光照射によってp型のウェル領域内に発生した電子及び正孔のうち該光発生正孔を前記ウェル領域内に形成した絶縁ゲート型電界効果トランジスタのn型のソース拡散領域の近辺に埋め込まれた、前記ウェル領域よりも高濃度のp型の高濃度埋込層に導いて蓄積させ、該蓄積した光発生正孔の量により前記絶縁ゲート型電界効果トランジスタの閾値を変化させ、該閾値の変化量を受光量として検出することを特徴としている。

【0021】請求項12の発明は、固体撮像素子による光信号検出方法に係り、光照射によってn型のウェル領域内に発生した電子及び正孔のうち該光発生電子を前記

9

ウエル領域内に形成した絶縁ゲート型電界効果トランジスタのp型のソース拡散領域の近辺に埋め込まれた、前記ウエル領域よりも高濃度のn型の高濃度埋込層に導いて蓄積させ、該蓄積した光発生電子の量により前記絶縁ゲート型電界効果トランジスタの閾値を変化させ、該閾値の変化量を受光量として検出することを特徴としている。

【0022】請求項13の発明は、固体撮像素子による光信号検出方法に係り、請求項1乃至10のいずれかに記載の固体撮像素子による光信号検出方法において、前記半導体基板、前記ウエル領域及び前記高濃度埋込層はp型であり、前記半導体層、前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域はn型であり、前記不純物拡散領域、前記ドレイン拡散領域、前記ゲート電極及び前記ソース拡散領域に動作電圧よりも高い電圧を印加し、前記ウエル領域及び高濃度埋込層内の正孔を前記半導体基板に、電子を前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域にそれぞれ排出して空乏化することで画素の初期化を行い、光照射により前記受光ダイオードのウエル領域内に正孔及び電子を生じさせ、前記不純物拡散領域及び前記ドレイン拡散領域に動作電圧を印加し、かつ前記ゲート電極に前記絶縁ゲート型電界効果トランジスタのゲート領域のポテンシャルが前記受光ダイオードのポテンシャルよりも低くなるような電圧を印加し、前記光発生正孔を前記ウエル領域内を移動させて前記高濃度埋込層に前記光発生正孔を蓄積させ、前記ドレイン拡散領域及び前記ゲート電極に動作電圧を印加し、前記光発生正孔が蓄積した前記高濃度埋込層上にチャンネル長方向に低電界の反転領域を形成するとともに、前記高濃度埋込層上を除くチャンネル領域に前記チャンネル長方向に高電界領域を形成し、前記ドレイン拡散領域及び前記ゲート電極に前記絶縁ゲート型電界効果トランジスタが飽和状態で動作するような動作電圧を印加し、前記絶縁ゲート型電界効果トランジスタをソースフォロワに形成して前記光発生正孔が前記高濃度埋込層に蓄積されたことにより前記絶縁ゲート型電界効果トランジスタの閾値電圧の変化を、前記絶縁ゲート型電界効果トランジスタのソース拡散領域の電位変化に変えることで信号を検出することを特徴としている。

【0023】請求項14の発明は、固体撮像素子による光信号検出方法に係り、請求項1乃至10のいずれかに記載の固体撮像素子による光信号検出方法において、前記半導体基板、前記ウエル領域及び前記高濃度埋込層はn型であり、前記半導体層、前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域はp型であり、前記不純物拡散領域、前記ドレイン拡散領域、前記ゲート電極及び前記ソース拡散領域に動作電圧よりも負側に大きい電圧を印加し、前記ウエル領域及び高濃度埋込層内の電子を前記半導体層に、正孔を前記不純物拡散

(6)

10

領域、前記ドレイン拡散領域及び前記ソース拡散領域にそれぞれ排出して空乏化することで画素の初期化を行い、光照射により前記受光ダイオードのウエル領域内に正孔及び電子を生じさせ、前記不純物拡散領域及び前記ドレイン拡散領域に動作電圧を印加し、かつ前記ゲート電極に前記絶縁ゲート型電界効果トランジスタのゲート領域のポテンシャルが前記受光ダイオードのポテンシャルよりも高くなるような電圧を印加し、前記光発生電子を前記ウエル領域内を移動させて前記高濃度埋込層に前記光発生電子を蓄積させ、前記ドレイン拡散領域及び前記ゲート電極に動作電圧を印加し、前記光発生電子が蓄積した前記高濃度埋込層上に低電界の反転領域を形成するとともに、前記高濃度埋込層上を除くチャンネル領域に高電界領域を形成し、前記ドレイン拡散領域及び前記ゲート電極に前記絶縁ゲート型電界効果トランジスタが飽和状態で動作するような動作電圧を印加し、前記絶縁ゲート型電界効果トランジスタをソースフォロワに形成して前記光発生電子が前記高濃度埋込層に蓄積されたことによる前記絶縁ゲート型電界効果トランジスタの閾値電圧の変化を、前記絶縁ゲート型電界効果トランジスタのソース拡散領域の電位変化に変えることで信号を検出することを特徴としている。

【0024】本発明においては、チャンネル領域の下のウエル領域内であってソース拡散領域の近辺に、例えばドレイン拡散領域からソース拡散領域に至るチャンネル長方向の一部領域であって、ソース拡散領域側に、かつチャンネル領域の幅方向の一部に或いは幅方向全体にわたって、ウエル領域と同じ導電型を有し、かつウエル領域よりも高い不純物濃度を有する高濃度埋込層（キャリアポケット）を設けている。

【0025】例えば、リング状のゲート電極を用いる場合、ゲート電極の中央部のウエル領域の表層にソース拡散領域を形成し、ゲート電極を囲むようにウエル領域の表層にドレイン拡散領域を形成し、ソース拡散領域を囲むようにウエル領域内に高濃度埋込層を形成する。このような構成では、p型のウエル領域におけるp型の高濃度埋込層の場合、p型の高濃度埋込層のところで正孔に対してポテンシャルが一番低くなる。或いは、n型のウエル領域におけるn型の高濃度埋込層の場合、n型の高濃度埋込層のところで電子に対してポテンシャルが一番高くなる。

【0026】さらに、ウエル領域は受光ダイオードと電界効果トランジスタとで共通し、受光ダイオードの不純物拡散領域と電界効果トランジスタのドレイン拡散領域とは一体的に形成されている。また、高濃度埋込層はソース拡散領域の近くに設けられている。高濃度埋込層がソース拡散領域の近傍に配置されているため、受光ダイオード部分のウエル領域で発生した光発生電荷を高濃度埋込層に集めやすい。

【0027】即ち、p型のウエル領域を用い、かつ検出

(7)

11

トランジスタをnMOSとした場合、光発生電荷のうち正孔を用い、ドレイン拡散領域よりもソース拡散領域の方の電位を低く設定する。或いは、n型のウェル領域を用い、かつ検出トランジスタをpMOSとした場合、光発生電荷のうち電子を用い、ドレイン拡散領域よりもソース拡散領域の方の電位を高く設定する。例えば、ドレイン拡散領域に正又は負の動作電圧VDDを印加し、ゲート電極に低い電圧を印加したとき、電界効果トランジスタのドレイン拡散領域、即ち受光ダイオードの不純物拡散領域からソース拡散領域の方に光発生電荷が向かうような電界が生じる。

【0028】したがって、初期化により、読み出しが終わった光発生電荷やウェル領域内のアクセプタ等を中性化している正孔等の残留電荷を半導体基板内から排出した後、上記のように電圧を印加したとき、受光ダイオード部分のウェル領域内で発生した光発生電荷は、高濃度埋込層の方に移動し、高濃度埋込層に蓄積される。一度高濃度埋込層に光発生電荷が集まると、そこの低い電位のため容易に脱出できなくなるため、ウェル領域内での光発生電荷の拡散を防止することができ、高濃度埋込層に光発生電荷を効率的に蓄積することができる。

【0029】なお、高濃度埋込層に蓄積された光発生電荷でもゲート電極、ドレイン拡散領域及びソース拡散領域に動作電圧よりも大きい電圧を印加して電界を高めることにより、排除することができる。光発生電荷が高濃度埋込層内に蓄積されると、蓄積量に応じてフェルミレベルが変化し、空間電荷は減少するため、トランジスタの閾値電圧の低下をもたらす。同時に、電荷保存則により、高濃度埋込層上に反転領域が形成され、反転領域内で高濃度埋込層内に蓄積された光発生電荷と逆の導電型のキャリアが増加し、チャンネルコンダクタンスは増大する。

【0030】一方、高濃度埋込層以外の領域ではポテンシャルが高く光発生電荷が蓄積しないので、高濃度埋込層上以外のウェル領域表面には反転領域が生ぜず、高電界領域が生じることになる。このように一つのチャンネル領域に反転領域と高電界領域とが生じることにより、トランジスタは飽和状態で動作するようになる。従って、ゲート電圧にトランジスタが動作しうるゲート電圧を印加すると、ソースフォロワとして配線接続されたトランジスタは、閾値電圧に追随してソース電位を変化させる。

【0031】しかも、トランジスタが飽和状態で動作するので、電流はゲートソース間の電位差のみで決まる。このため、ソース電位の変化は光発生電荷の蓄積量のみにより決まる。従って、このソース電位をビデオ信号として出力することにより、線型性の良い光電変換を行うことが可能になる。

【0032】また、光発生電荷の蓄積量と反転領域の電荷の増減分は均衡しているので、光発生電荷の蓄積量は

12

ゲート絶縁膜容量への充電量と等価であり、閾値電圧の変化分が出力される。ここで、ゲート絶縁膜容量への充電は、キャリアポケットとしての高濃度埋込層上のゲート絶縁膜容量に限定されるため、酸化膜厚、高濃度埋込層の面積及び深さにより検出感度を決定することができる。しかも、この検出容量は殆ど固定容量と見なせるので、電荷ー電圧変換の伝達特性の線型性に極めて優れた高感度検出が可能となる。

【0033】さらに、トランジスタの表面がデプレッション化している場合、ホールに対して障壁が存在することになる。このとき、他の方式で用いられているフォトゲート電極構造では、表面は光発生電荷により満たされているため、表面は平衡化し、熱的励起による暗電流発生や寄生ホール蓄積によるポテンシャル変調が問題となる。

【0034】一方、この発明においては、トランジスタのチャンネル領域は、残留電荷を掃出し（初期化）後に空乏状態が保持される。しかも、トランジスタ領域が遮光されているため、過剰なキャリア層を形成するに至らない。従って、仮に表面に捕獲されたキャリアも、障壁を乗り越えずして暗電流となることはなく、表面からノイズ成分を抑制することができる。

【0035】以上のように、電流を制御すべき光発生電荷を何れの半導体層表面部分とも相互作用しない孤立したチャンネル領域下のウェル領域へ注入して、ソース拡散領域付近の電位障壁を変化させている。即ち、光発生電荷をソース拡散領域近くに集めることによりトランジスタの閾値電圧を制御するような構造とすることで、雑音成分を持たず、線型性が良く、かつ高感度検出が可能な理想的な閾値電圧変調方式CMOSイメージセンサ素子を提供することができる。

【0036】

【実施の形態】以下に、図面を参照しながら本発明の実施の形態について説明する。図1は、本発明の実施の形態に係るCMOSイメージセンサの単位画素内における素子レイアウトについて示す平面図である。図1に示すように、単位画素101内に、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。これらは、一つのウェル領域15を共有している。即ち、受光ダイオード111のウェル領域15は光照射による電荷の発生領域を構成し、光信号検出用MOSトランジスタ112のウェル領域15はゲート領域を構成している。

【0037】受光ダイオード111の不純物拡散領域17と光信号検出用MOSトランジスタ112のドレイン拡散領域17aとはウェル領域15の表層に一体的に形成されている。ドレイン拡散領域17aはリング状のゲート電極19の外周部を取り囲むように形成され、リング状のゲート電極19の中心部にソース拡散領域16が形成されている。ゲート電極19下のウェル領域15内

(8)

13

であって、ソース拡散領域16の周辺部に、ソース拡散領域16を取り囲むようにキャリアポケット（高濃度埋込層）25が形成されている。

【0038】なお、光信号検出用MOSトランジスタ112の動作時にゲート電極19下のウェル領域15の表面のチャンネル領域が反転状態或いはデプレッション状態を保つように、チャンネル領域にはn型の不純物を導入したn型不純物層（反対導電型の不純物層）が形成されている。ドレイン拡散領域17aはドレイン電圧（VDD）供給線22と接続され、ゲート電極19は垂直走査信号（VSCAN）供給線21に接続され、ソース拡散領域16は垂直出力線20に接続されている。

【0039】また、受光ダイオード111の受光窓24以外の領域は金属層（遮光膜）23により遮光されている。次に、本発明の実施の形態に係るCMOSイメージセンサのデバイス構造を断面図を用いて説明する。図2の上の図は、図1のA-A線断面図に相当する、本発明の実施の形態に係るCMOSイメージセンサのデバイス構造について示す断面図である。図2の下図は、半導体基板表面に沿うポテンシャル図である。

【0040】図3の上の図は、チャンネル領域下のウェル領域15内のキャリアポケット25の付近を詳細に示す断面図である。また、図3の下図は、光発生ホールがキャリアポケット25に蓄積されているときの、キャリアポケット25を含む半導体基板表面に平行な面、即ち図中のF-F線に沿うポテンシャル図である。但し、キャリアポケット25上のチャンネル領域の反転領域の電子の分布を同じ図に記載している。

【0041】図4は図1のB-B線断面図であり、図5は図1のC-C線断面図である。図2の上の図に示すように、p型シリコンからなる基板11上にn型シリコンをエピタキシャル成長し、エピタキシャル層（n型層）12を形成する。以上が半導体基板を構成する。このn型層12にp型のウェル領域15が形成されている。なお、隣接する単位画素間に各単位画素を分離するように、フィールド絶縁膜14とその下の素子分離拡散領域13とが形成されている。

【0042】次に、受光ダイオード111の詳細について図2及び図4により説明する。即ち、ウェル領域15と、ウェル領域15に大部分の領域がかかるようにn型層12の表層に形成された不純物拡散領域17とで構成されている。即ち、正孔（ホール）に対する埋め込み構造をしている。不純物拡散領域17はドレイン電圧（VDD）供給線22に接続されて正の電位にバイアスされる。これにより、入射光により発生したホールは不純物拡散領域17の下のウェル領域15内に存在するようになるため、界面捕獲準位の多い半導体層表面に影響されず、雑音の低減を図ることができる。

【0043】次に、光信号検出用MOSトランジスタ（nMOS）112の詳細について図2及び図5により

14

説明する。即ち、リング状のゲート電極19がn⁺型の不純物拡散領域17と一体的に形成されたn⁺型のドレイン拡散領域17aにより囲まれた構造を有する。リング状のゲート電極19の中央部にn⁺型のソース拡散領域16が形成されている。そして、ドレイン拡散領域17aとソース拡散領域16の間のウェル領域15上にゲート絶縁膜18を介してゲート電極19が形成されている。ゲート電極19下のウェル領域15の表層がチャンネル領域となる。

【0044】また、チャンネル領域の下図のウェル領域15内に、チャンネル長方向の一部領域、即ちソース拡散領域16の周辺部であって、ソース拡散領域16を囲むように、p⁺型のキャリアポケット25が形成されている。このp⁺型のキャリアポケット25は、例えばイオン注入法により形成することができる。キャリアポケット25は表面に生じるチャンネル領域よりも下側のウェル領域15内に形成される。キャリアポケット25はチャンネル領域にかからないように形成することが望ましい。さらに、通常動作電圧において、チャンネル領域を反転状態或いはデプレッション状態に保持するため、チャンネル領域に適当な濃度のn型不純物を導入してn型不純物層15aを形成することが必要である。

【0045】上記したp⁺型のキャリアポケット25では光発生電荷のうち光発生ホールに対するポテンシャルが低くなるため、ドレイン拡散領域17aに高電圧を印加したときに光発生ホールがこのキャリアポケット25に集まる。図は光発生ホールがキャリアポケット25に蓄積されている状態を示す。図2の下図に光発生ホールがキャリアポケット25に蓄積し、チャンネル領域に電子が誘起されて反転領域が生じている状態のポテンシャル図を示す。また、チャンネル領域下のウェル領域15内のキャリアポケット25の付近の素子構造断面とポテンシャル図の詳細を図3に示す。

【0046】次に、図6（a）、（b）を参照して上記の構造の単位画素を用いたCMOSイメージセンサの全体の構成について説明する。図6（a）は、本発明の実施の形態におけるCMOSイメージセンサの回路構成図を示す。図6（a）に示すように、このCMOSイメージセンサは、2次元アレーセンサの構成を採っており、上記した構造の単位画素が列方向及び行方向にマトリクス状に並ぶように配置されている。

【0047】また、垂直走査信号（VSCAN）の駆動走査回路102及びドレイン電圧（VDD）の駆動走査回路103が画素領域を挟んでその左右に配置されている。行毎に行方向に並ぶ全ての単位画素101内のMOSトランジスタ112のドレインに、ドレイン電圧（VDD）の駆動走査回路103から行毎の一つずつでいるドレイン電圧供給線22a、22bがそれぞれ接続されている。さらに、行毎に行方向に並ぶ全ての単位画素101内のMOSトランジスタ112のゲートに、垂直

15

走査信号（VSCAN）の駆動走査回路102から行毎に一つずつでている垂直走査信号供給線21a, 21bがそれぞれ接続されている。

【0048】また、列毎に列方向に並ぶ全ての単位画素101内のMOSトランジスタ112のソースが列毎に異なる垂直出力線20a, 20bに接続されている。各垂直出力線20a, 20bは列毎に異なるスイッチとしてのMOSトランジスタ105a, 105bのドレイン（光検出信号入力端子）28a, 29aに1つずつ接続されている。各スイッチ105a, 105bのゲート（水平走査信号入力端子）28b, 29bは水平走査信号（HSCAN）の駆動走査回路104に接続されている。

【0049】また、各スイッチ105a, 105bのソース（光検出信号出力端子）28c, 29cは共通の定電流源106を通して映像信号出力107に接続されている。即ち、各単位画素101内のMOSトランジスタ112のソースは定電流源106に接続され、画素単位のソースフォロワ回路を形成する。従って、各MOSトランジスタ112のゲートソース間の電位差、及びバルクソース間の電位差は接続された定電流源（負荷回路）106により決定される。

【0050】垂直走査信号（VSCAN）及び水平走査信号（HSCAN）により、逐次、各単位画素のMOSトランジスタ112を駆動して光の入射量に比例した映像信号（Vout）が読み出される。上記のように、単位画素101は受光ダイオード111及びMOSトランジスタ112で構成されるので、画素の部分をCMOS技術を用いて作成することができる。従って、上記画素部分と、駆動走査回路102～104及び定電流源106等周辺回路とを全て同じ半導体基板上に作成することができる。

【0051】図6（b）は、本発明に係るCMOSイメージセンサを動作させるための各入出力信号のタイミングチャートを示す。p型のウェル領域15を用い、かつ光信号検出用トランジスタ112がnMOSの場合に適用する。素子動作は掃出期間（初期化）－蓄積期間－読出期間－掃出期間（初期化）－・・・というように繰り返す。

【0052】このとき、固体撮像素子の動作に伴って単位画素101のウェル領域15内のポテンシャルが変化する様子についても、図7、図8、及び図9のポテンシャル図を参照しながら同時に説明する。さらに、単位画素101内の光信号検出用MOSトランジスタ112の電流－電圧特性について図10に示すグラフを参照しながら同時に説明する。

【0053】図7乃至図9において、縦軸はポテンシャルを表し、横軸は基板表面からの深さを表す。また、図7（a）、図8（a）、図9（a）は、それぞれ掃出期間（初期化）、蓄積期間、読出期間における図4のD－

(9)

16

D線断面でのポテンシャル分布を表す。さらに、図7（b）、図8（b）、図9（b）は、それぞれ掃出期間（初期化）、蓄積期間、読出期間における図5のE－E線断面でのポテンシャル分布を表す。

【0054】まず、掃出期間は、光発生電荷（ホール）を蓄積する前に、読み出しが終わった光発生電荷や、アクセプタやドナー等を中性化し、或いは表面準位に捕獲されている正孔や電子等、光信号の読み出し前の残留電荷を半導体内から排出する期間である。即ち、この動作を光発生電荷の基板掃出し動作（初期化動作）といい、行単位で行われる。

【0055】初期化動作を行うのは、次の蓄積期間にキャリアポケット25を空にして新たな光発生電荷を蓄積するためである。即ち、蓄積された光発生電荷だけを映像信号として取り出し、残留電荷によるノイズを防止するためである。この場合、ドレイン拡散領域17a、ゲート電極19及びソース拡散領域16に通常の動作電圧よりも大きい電圧を印加する。即ち、VDD供給線22a, 22bに約+5Vの電圧を供給してドレイン拡散領域17aに印加し、VSCAN供給線21a, 21bに約+5Vの電圧を供給してゲート電極19に印加する。また、ゲート電極19に約+5Vの電圧を印加することによりチャネル領域が導通するため、ドレイン拡散領域17aに印加された約+5Vの電圧がそのままソース拡散領域16に印加される。

【0056】この電圧印加は、図7（a）、（b）に示すように、pn接合を逆バイアスし、ウェル領域15内の電界がN領域及びP領域を通してp⁺型の基板11方向に向くようにする。これにより、ウェル領域15その他半導体内に残留するホールはp⁺型の基板11に排出され、電子はソース拡散領域16やドレイン拡散領域17から排出される。特に、光発生電荷がキャリアポケット25に蓄積されている場合、トランジスタが飽和状態で動作しうるゲート電圧及びドレイン電圧では光発生電荷をキャリアポケット25から排出させることはできないが、5V程度のさらに高いゲート電圧及びドレイン電圧を印加することにより、光発生電荷をキャリアポケット25から排出させることができる。

【0057】残留電荷が排出された後ではウェル領域15は空乏化した状態にある。上記したような初期化は、残留電荷を生じさせないので、キャリアの熱的ゆらぎによる熱雑音（kTC雑音）が発生せず、理想的である。なお、この初期化動作においては、電流パスが無いため、オンチップに搭載された昇圧回路が容易に使用できる。

【0058】次に、蓄積期間は、光照射により光発生電荷を発生させ、その光発生電荷をチャネル領域下のウェル領域15内のキャリアポケット25に蓄積させる期間である。なお、この蓄積期間では水平走査時間単位での電子シャッター動作も可能である。この場合、光照射前

(10)

17

に、VDD供給線22a、22bを通して、全ての単位画素101内のMOSトランジスタ112のドレイン拡散領域17にMOSトランジスタが動作する凡そ+2〜3V程度の電圧を印加するとともに、VSCAN供給線21a、21bを通して、列毎にMOSトランジスタ112のゲートにMOSトランジスタがカットオフ状態を維持するような低い電圧を印加する。このように、光発生電荷の蓄積は各水平走査信号線上に配列されたセンサ列毎に行う。

【0059】ドレイン拡散領域17aへの電圧印加により、p型のウェル領域15内の多数キャリア（正孔）は p^+ 型の基板11側に掃きだされるため、ウェル領域15内は空乏化し、アクセプタからなる負の空間電荷層が存在する。この状態で画素領域に光を照射すると、受光ダイオード111のウェル領域15に電子-正孔対が発生する。

【0060】ここで、MOSトランジスタ112のゲート電圧が低く設定されているので、光発生電荷のうち、光発生電子はドレイン電圧によりドレイン拡散領域17から排出される。一方、光発生ホールはソース拡散領域16の低い電位に引かれてソース拡散領域16の方に移動し、最も電位の低くなっているキャリアポケット25に蓄積される。この状態を図8(a)、(b)に示す。

【0061】蓄積期間での光発生ホールの移動はp型のウェル領域15内でのみ行われるので、光発生ホールの移動に際して半導体表面の影響を受けることはなく、雑音成分は発生しない。ところで、トランジスタの表面がデプレッション化している場合、ホールに対して障壁が存在することになる。

【0062】他の方式で用いられているフォトゲート電極構造では、図11(c)に示すように、表面は光発生電荷により満たされているため、表面は平衡化し、熱的励起による暗電流発生や寄生ホール蓄積によるポテンシャル変動が問題となる。一方、この実施の形態においては、トランジスタのチャンネル領域は、図11(a)に示すように、初期化後に空乏状態が保持される。しかも、図11(b)に示すように、トランジスタのゲート及びその周辺が遮光されているため、過剰なキャリア層を形成するに至らない。従って、仮に表面に捕獲されたキャリアも、障壁を乗り越えずして暗電流となることはなく、表面からのノイズ成分を抑制することができる。

【0063】読出期間は、蓄積された光発生電荷に基づく映像信号(V_{out})を読み出す期間である。光信号検出用MOSトランジスタ112をソースフォロワ回路として動作させ、映像信号(V_{out})を出力する。この場合、MOSトランジスタ112が飽和状態で動作するように、VDD供給線22a、22bにより、行毎にMOSトランジスタ112のドレインに凡そ+2〜3V程度の電圧を印加するとともに、VSCAN供給線21a、21bにより、列毎にMOSトランジスタ112のゲ

18

トに凡そ+2〜3V程度の電圧を印加する。さらに、光信号検出用MOSトランジスタ112のソースに定電流源106を接続して一定の電流を流すようにする。

【0064】ところで、この読出期間の直前の蓄積期間で、光発生電荷がキャリアポケット25内に蓄積されている。光発生電荷がキャリアポケット25内に蓄積されると、蓄積量に応じてフェルミレベルが変化し、空間電荷は減少するため、トランジスタの閾値電圧の低下をもたらす。同時に、電荷保存則により、キャリアポケット25上に反転領域が形成され、反転領域内でキャリアポケット25内に蓄積された光発生ホールの量と同じ量の電子が増加し、チャンネルコンダクタンスは増大する。

【0065】この場合、キャリアポケット25上の表面電位はゲート長方向にほぼ一定値となり、反転領域には、キャリアである電子が様な密度で分布する。一方、ドレイン拡散領域17a側では、空間電荷密度が低いいため、表面に反転領域は生ぜず、高電界領域が生じる。このように、チャンネル領域の一部に反転領域が生じ、他の部分に高電界領域が生じているため、図10に示すように、光信号検出用MOSトランジスタ112は飽和状態での動作が可能となる。

【0066】従って、光信号検出用MOSトランジスタ112の各電極に通常の動作電圧を印加すると、トランジスタ112は飽和状態で動作する。このとき、トランジスタ112は定電流動作によるソースフォロワ回路を形成しているので、負帰還作用によりトランジスタ112に一定電流が流れるようにゲート-ソース間の電位差を減少させるべく、図9(a)、(b)に示すように、ソース電位が高くなる。このソース電位の変化を映像信号出力107に出力する。

【0067】なお、上記の読出動作を次のように理解してもよい。即ち、図10に示すように、光信号検出用MOSトランジスタ112は飽和領域で動作するため、ドレイン-ソース間の電位差はゲート電極19下のポテンシャルで決定され、その電位差によりp型のウェル領域15内にはソース拡散領域16方向の電界が存在する。

【0068】従って、光発生ホールはソース拡散領域16付近のフェルミ電位を正の方向に変化させるが、電流値はその定電流源106により決定されているため、ソース側のポテンシャル障壁高さは保存される。このため、図9(a)、(b)に示すように、ソース電位(V_S)には、光発生ホールの注入により中性化された空間電荷層の電位差分の変化が現れる。すなわち、バルク電位を光発生ホール量により変化させ、ソースフォロワ出力を変化させることができる。

【0069】これにより、光照射量に比例した映像信号(V_{out})を得ることができる。この場合、光発生ホールと反転領域の電荷の増減分は均衡しているため、光発生ホールによる電荷量はゲート絶縁膜18容量への充電量と等価であり、閾値電圧の変化分が出力される。こ

(11)

19

で、図12(a), (b)に示すように、ゲート絶縁膜18容量への充電は、キャリアポケット25上のゲート絶縁膜18容量に限定されるため、ゲート酸化膜厚、キャリアポケット25の面積及び深さにより検出感度を決定することができる。また、キャリアポケット25という限られた領域に光発生ホールが蓄積されるため、変換効率もよい。

【0070】しかも、この検出容量は殆ど固定容量と見なせるので、電荷—電圧変換の伝達特性の線型性に極めて優れた高感度検出が可能となる。次に、図6(a),

(b)にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。即ち、初期化動作によりウェル領域やその他の半導体層内に残る電荷を排出する。

【0071】次いで、トランジスタのゲート電極19に低いゲート電圧を印加し、ドレイン拡散領域17aにトランジスタの動作に必要な約2〜3Vの電圧(VDD)を印加する。このとき、ウェル領域15は空乏化し、ドレイン拡散領域17aからソース拡散領域16に向かう電界が生じる。光照射により電子—ホール対(光発生電荷)が生じると、上記電界によりこの光発生電荷のうち

光発生ホールがゲート領域に注入され、かつキャリアポケット25に蓄積される。これにより、チャネル領域から基板11側に広がる空乏層幅が制限されるとともに、そのソース拡散領域16付近のポテンシャルが変調されて、MOSトランジスタ112の閾値電圧が変動する。

【0072】ここで、ゲート電極19にMOSトランジスタ112が飽和状態で動作しうる約2〜3Vのゲート電圧を印加し、ドレイン拡散領域17aにMOSトランジスタ112が動作しうる約2〜3Vの電圧VDDを印加する。これにより、チャネル領域の一部に低電界の反転領域が形成され、残りの部分に高電界領域が形成される。

【0073】さらに、MOSトランジスタ112のソース拡散領域16に定電流源106を接続して一定の電流を流す。これにより、MOSトランジスタ112はソースフォロワ回路を形成し、従って、光発生ホールによるMOSトランジスタの閾値電圧の変動に追従してソース電位が変化し、出力電圧の変化をもたらす。これにより、光照射量に比例した映像信号(V_{out})を取り出すことができる。

【0074】以上のように、この発明の実施の形態によれば、掃出動作(初期化)—蓄積動作—読出動作の一連の過程において、光発生ホールが移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。また、キャリアポケット25をチャネル領域下の一部領域に設けているため、チャネル領域の一部を反転領域とし、残りの部分を高電界領域とすることができる。これにより、図10に示すように、トランジスタを飽和状態で動作させることができる。しかも、ソースフォロワ回路を形成し

20

ているので、光発生電荷による閾値電圧の変化をソース電位の変化として検出することができる。このため、線型性の良い光電変換を行うことができる。

【0075】なお、図13(b)に示す従来例のBCMD型固体撮像素子の場合、電流—電圧特性は3極管特性となり、飽和状態での動作が難しい。このため、線型性の良い光電変換を行うことは難しいといえる。さらに、受光ダイオード111と光信号検出用MOSトランジスタ112とを別々に設けているので、フォトゲート電極への光照射のような多重干渉による分光感度特性の劣化を防止することができる。

【0076】また、素子構成は、受光ダイオード111と光信号検出用MOSトランジスタ112との単純な組み合わせで行えるため、開口率を向上できる。さらに、ゲート電圧を変化させ、ソースフォロワの利得及びソース容量を調整できる特性を生かして、固定パターン雑音を抑制することができる。なお、上記実施の形態では、p型のウェル領域15に p^+ 型のキャリアポケット25を設けてホールを蓄積し、nMOSトランジスタ(光信号検出用MOSトランジスタ)112により光信号を検出しているが、n型のウェル領域を用い、 n^+ 型のキャリアポケットを設けて電子を蓄積し、pMOSトランジスタ(光信号検出用MOSトランジスタ)により光信号を検出するようにしてもよい。

【0077】また、固体撮像素子の全体の構成を示す図6(a)において、掃出期間で、ゲート電極19に約+5Vの電圧を印加することによりチャネル領域を導通させてドレイン拡散領域17aに印加された約+5Vの電圧をそのままソース拡散領域16に印加するようにしている。しかし、切り換え手段を介して掃出期間だけソース拡散領域16に約+5Vの電圧を供給するような電源を別にソース拡散領域16に接続してもよい。

【0078】さらに、上記固体撮像素子の全体の構成を示す図6(a)において、負荷回路として定電流源を用いているが、容量負荷を用いてもよい。この場合、光発生電荷の蓄積により光信号検出用トランジスタ112のソース電位が変化すると、その変化により容量が充電されるため、その充電電圧を映像信号として取り出すことができる。また、定電流源や容量負荷の他に、ソースフォロワを形成する、高インピーダンスを有するその他の負荷回路を用いることが可能である。

【0079】

【発明の効果】以上のように、本発明に係る閾値電圧変調方式の固体撮像素子においては、ウェル領域を共有する受光ダイオードと絶縁ゲート型電界効果トランジスタとを備え、かつトランジスタのチャネル領域の下のウェル領域内のソース拡散領域の近くに高濃度埋込層(キャリアポケット)を備えている。

【0080】このため、受光ダイオード部で発生した光発生電荷を半導体内部を移動させて高濃度埋込層に蓄積

(12)

21

させ、トランジスタの閾値電圧を変化させることができる。従って、残留電荷の掃出（初期化）、光電変換、蓄積、電圧変換に至るまで熱雑音（ kTC 雑音）や半導体表面捕獲雑音等を抑制することができる。これにより、低雑音の固体撮像素子を提供することができ、MOS型イメージセンサの性能をCCD型イメージセンサの性能以上に向上することができる。

【0081】また、高濃度埋込層をチャネル領域下の一部領域に設けているため、チャネル領域の一部を反転領域とし、残りの部分を高電界領域とすることができる。これにより、トランジスタを飽和状態で動作させることができる。しかも、定電流駆動で代表される高インピーダンスの負荷回路を接続したソースフォロワ回路を形成しているため、光発生電荷による閾値電圧の変化をソース電位の変化として検出することができる。このため、線型性の良い光電変換を行うことができる。

【0082】さらに、素子構成は、受光ダイオードと光信号検出用MOSトランジスタとの単純な組み合わせで行えるため、開口率を向上できる。また、ゲート電圧を変化させ、ソースフォロワの利得及びソース容量を調整できる特性を生かして、固定パターン雑音を抑制することができる。さらに、既存のCMOSプロセス技術により受光部の製作可能であるため、極めて安価に、かつ周辺回路も同一基板に作成することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る固体撮像素子の単位画素内の素子レイアウトを示す平面図である。

【図2】本発明の実施の形態に係る固体撮像素子の単位画素内の素子の構造を示す、図1のA-A線断面図である。

【図3】本発明の実施の形態に係る固体撮像素子の単位画素内のキャリアポケット及びその周辺部の詳細を示す断面図である。

【図4】本発明の実施の形態に係る固体撮像素子の単位画素内の受光ダイオードの構造を示す、図1のB-B線断面図である。

【図5】本発明の実施の形態に係る固体撮像素子の単位画素内の光信号検出用MOSトランジスタの構造を示す、図1のC-C線断面図である。

【図6】図6（a）は、本発明の実施の形態に係る固体撮像素子の全体の回路構成を示す図である。図6（b）は、図6（a）の固体撮像素子を動作させる際のタイミングチャートである。

【図7】図7（a）は、本発明の実施の形態に係る固体撮像素子の動作時の掃出期間のある状態における、図4のD-D線断面でのポテンシャル分布を示す図である。図7（b）は、本発明の実施の形態に係る固体撮像素子の動作時の掃出期間のある状態における、図5のE-E線断面でのポテンシャル分布を示す図である。

【図8】図8（a）は、本発明の実施の形態に係る固体

22

撮像素子の動作時の蓄積期間のある状態における、図4のD-D線断面でのポテンシャル分布を示す図である。

図8（b）は、本発明の実施の形態に係る固体撮像素子の動作時の蓄積期間のある状態における、図5のE-E線断面でのポテンシャル分布を示す図である。

【図9】図9（a）は、本発明の実施の形態に係る固体撮像素子の動作時の読出期間のある状態における、図4のD-D線断面でのポテンシャル分布を示す図である。

図9（b）は、本発明の実施の形態に係る固体撮像素子の動作時の読出期間のある状態における、図5のE-E線断面でのポテンシャル分布を示す図である。

【図10】本発明の実施の形態に係る固体撮像素子の単位画素内の光信号検出用MOSトランジスタの電流-電圧特性について示すグラフである。

【図11】図11（a）は、固体撮像素子の電荷リセット後のチャネル層表面の状態を示す図であり、図11

（b）は、本発明の実施の形態に係る固体撮像素子のチャネル層表面の状態を示す図であり、図11（c）は、従来例に係るフォトゲート構造の固体撮像素子のチャネル層表面の状態を示す図である。

【図12】図12（a）は、本発明の実施の形態に係る固体撮像素子の動作時の蓄積期間から読出期間にかけての電荷の分布状態を示す図である。図12（b）は、図12（a）を説明するためのキャリアポケット及びその付近の素子断面図である。

【図13】図13（a）は、従来例に係るBCMD構造の固体撮像素子の構造について示す断面図である。図13（b）は、従来例に係るBCMD構造の固体撮像素子の電流-電圧特性について示すグラフである。

【符号の説明】

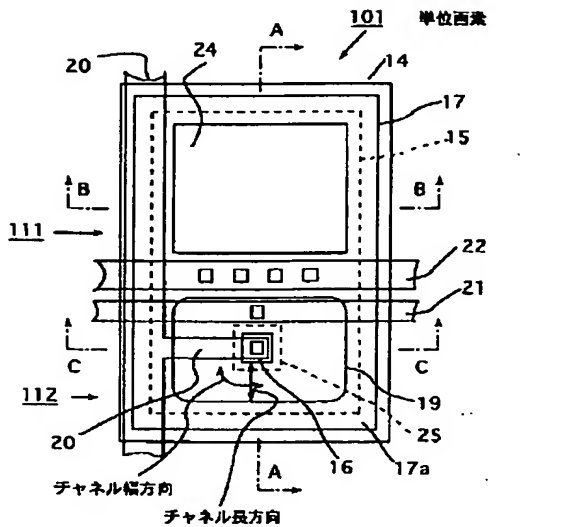
- 15 ウエル領域、
- 15a n型不純物層（反対導電型の不純物層）、
- 16、16a ソース拡散領域、
- 17 不純物拡散領域、
- 17a ドレイン拡散領域、
- 19 ゲート電極、
- 20、20a、20b 垂直出力線、
- 21、21a、21b 垂直走査信号（VSCAN）供給線、
- 22、22a、22b ドレイン電圧（VDD）供給線、
- 25 キャリアポケット（高濃度埋込層）、
- 26 水平出力線、
- 27a、27b 水平走査信号（HSCAN）供給線、
- 28a、29a 光検出信号入力端子、
- 28b、29b 水平走査信号入力端子、
- 28c、29c 光検出信号出力端子、
- 101 単位画素、
- 102 垂直走査信号（VSCAN）駆動走査回路、
- 103 ドレイン電圧（VDD）駆動走査回路、

(13)

23

104 水平走査信号 (HSCAN) 駆動走査回路、
105 a, 105 b スイッチ、
106 定電流源 (負荷回路)、

【図1】

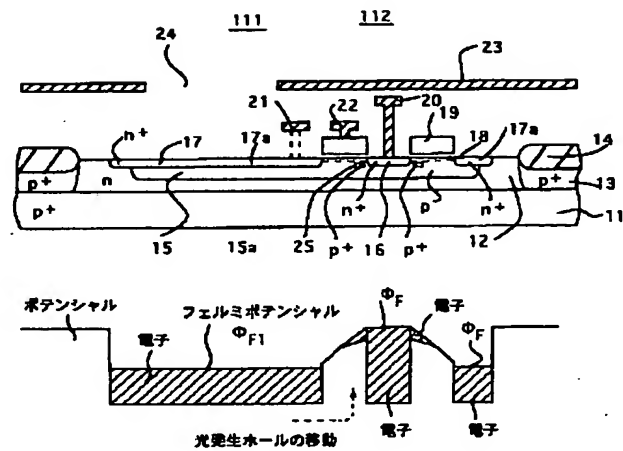


14: フィールド絶縁層 20: 垂直出力線
15: ウェル領域 21: VSCAN供給線
16: ソース拡散領域 22: VDD供給線
17: 不純物拡散領域 24: 受光窓
17a: ドレイン拡散領域 25: キャリアポケット (高濃度埋込層)
19: ゲート電極 111: 受光ダイオード
112: 光信号検出用MOSトランジスタ

24

111 受光ダイオード、
112, 112 a 光信号検出用MOSトランジスタ。

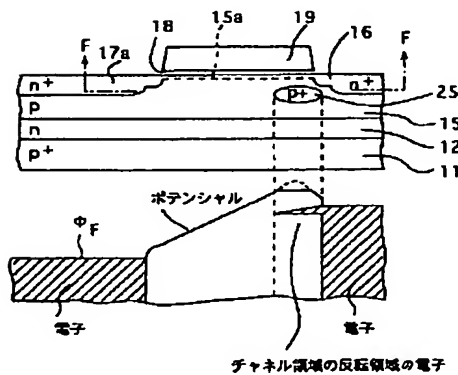
【図2】



11: p+ 基板
12: n 型層
13: 素子分離拡散領域
23: 遮光膜
15a: n型不純物層 (反対導電型の不純物層)

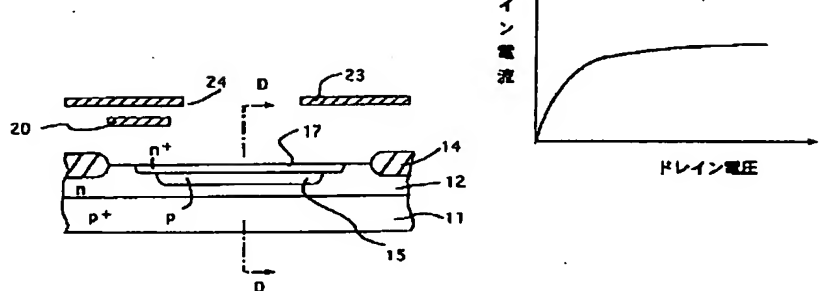
【図10】

【図3】

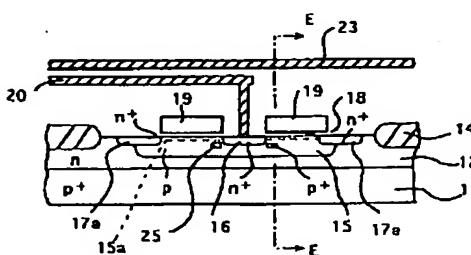


チャンネル領域の反転領域の電子

【図4】



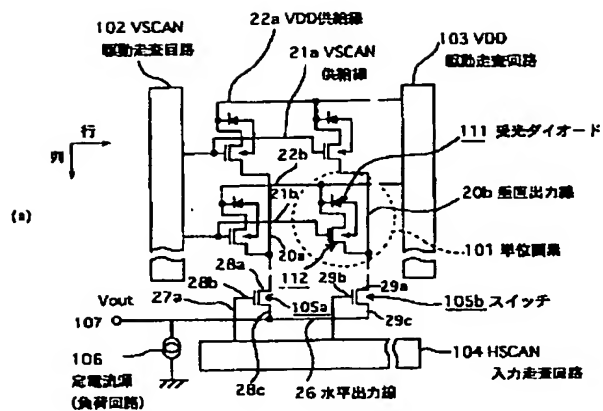
【図5】



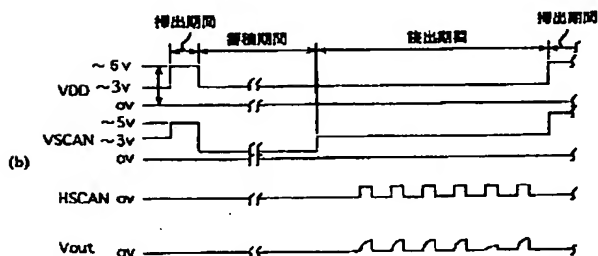
BEST AVAILABLE COPY

(14)

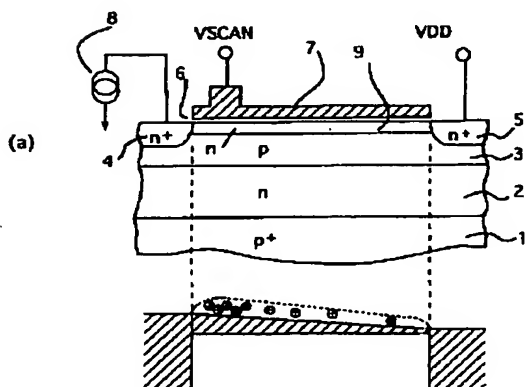
【図6】



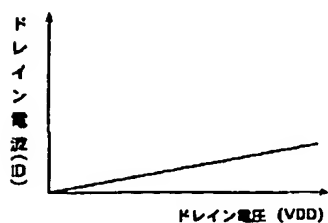
27c: HSCAN供給線 28a, 29a: 光検出信号入力端子
28b, 29b: HSCAN入力端子 28c, 29c: 光信号出力端子
107: 映像出力信号 112: 光信号検出用MOSTランジスタ



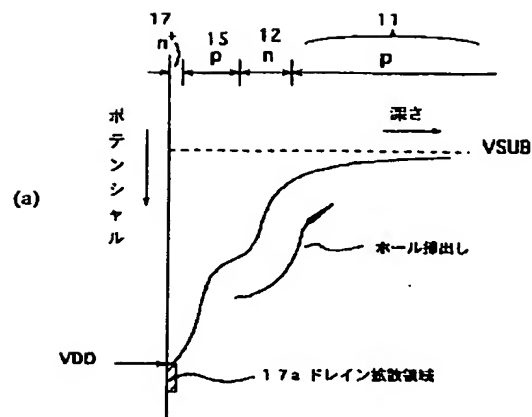
【図13】



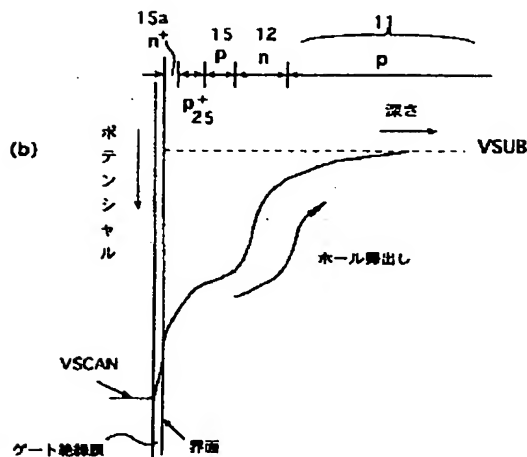
(b)



【図7】



(a)

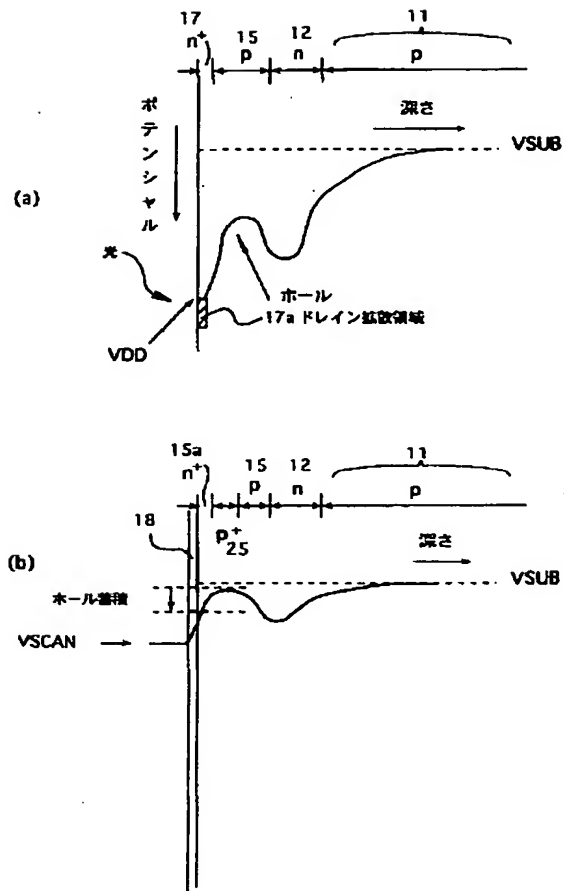


(b)

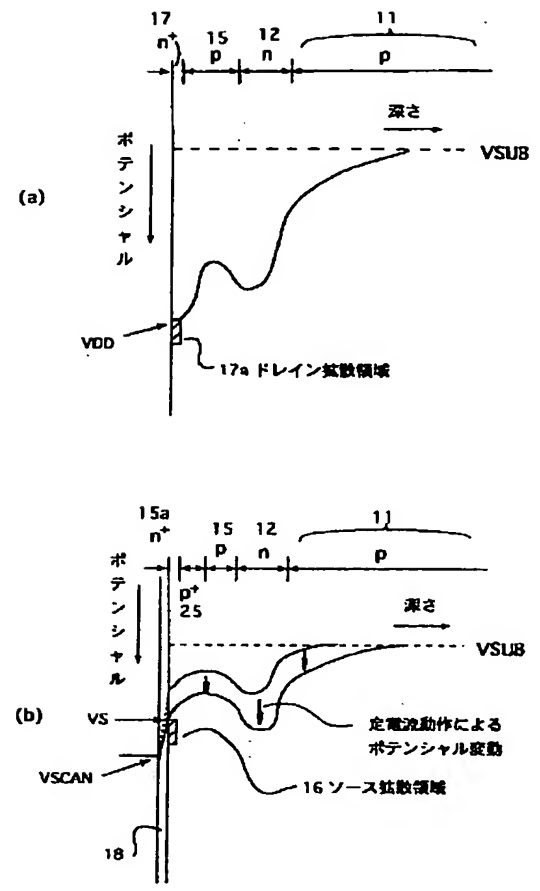
BEST AVAILABLE COPY

(15)

【図8】

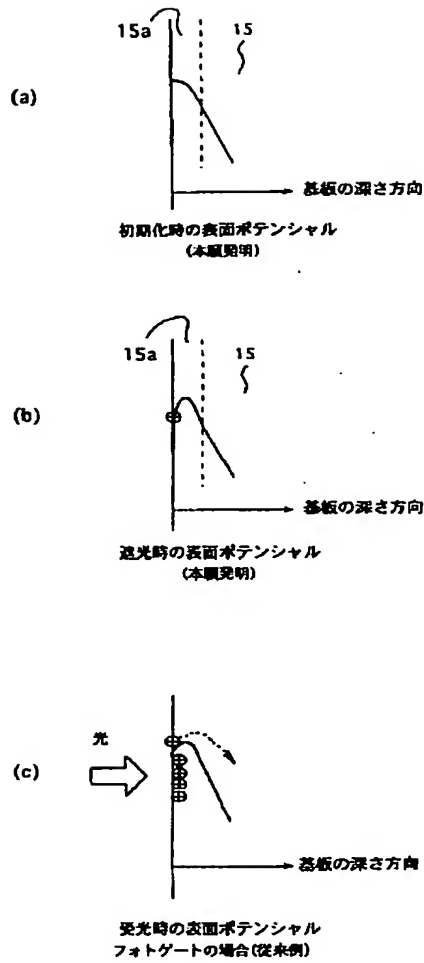


【図9】



(16)

【図11】



【図12】

